

УДК 681.325.5

Азаров О.Д., д-р техн. наук
Черняк О.І.

АНАЛІЗ ВИТРАТ ОБЛАДНАННЯ ПРИСТРОЇВ ПОБІТОВОЇ АРИФМЕТИКИ У СИСТЕМІ ЧИСЛЕННЯ ЗОЛОТОЇ 1-ПРОПОРЦІЇ

Проведено порівняльний аналіз витрат обладнання при побудові пристроїв побітового додавання і віднімання у системі числення золотої 1-пропорції. Показано, що використання довільних форм прямих кодів призводить до зменшення апаратних витрат у порівнянні з використанням мінімізованих форм доповняльних кодів.

Вінницький національний технічний університет

Актуальність

Система числення золотої 1-пропорції дозволяє отримати найменші витрати обладнання при побудові арифметичних пристроїв для повнофункціональної побітової обробки. Основними операціями такої обробки є додавання і віднімання, що можуть виконуватись у прямих або доповняльних кодах. Тому актуальним є визначення того варіанту реалізації даних операцій, який потребує менших витрат обладнання.

Аналіз останніх досліджень

У [1] описано пристрій побітового додавання мінімізованих форм кодів золотої 1-пропорції без врахування знаків. Мінімізованими називаються форми кодів, що не мають більше двох сусідніх одиниць. Для реалізації за допомогою відомого пристрою додавання і віднімання у [2] використовуються мінімізовані доповняльні коди зі знаками, розташованими у старших розрядах. Доповняльний код золотої 1-пропорції від'ємного числа утворюється за допомогою розгортки знакового розряду і віднімання від нього коду числа. У [3] авторами запропоновано пристрій, що може додавати будь-які форми прямих кодів золотої 1-пропорції без врахування знаків. Як вказано у [4], при побітовій обробці послідовних прямих кодів зі знаками, починаючи із старших розрядів, знак операнду розташовується одразу після старшої одиниці. Це досягається

шляхом обміну місцями знаку і старшої одиниці при формуванні коду результату. Пристрій побітового додавання і віднімання будь-яких форм прямих кодів золотої 1-пропорції із врахуванням знаків запропоновано авторами у [5]. Отже, існують різні варіанти реалізації побітового додавання і віднімання кодів золотої 1-пропорції.

Постановка задач

Метою статті є порівняння апаратних витрат пристроїв при побітовому додаванні і відніманні доповняльних [1] та прямих [3,5] кодів золотої 1-пропорції. Пристрій побітового додавання мінімізованих форм доповняльних кодів золотої 1-пропорції може також виконувати побітове додавання і віднімання із врахуванням знаків, обробляючи однаково знаки та інформаційні розряди. При побітовому відніманні у даному пристрої потрібно від'ємник попередньо перевести у доповняльний код, що потребує додаткових витрат обладнання. Авторами запропоновано пристрій побітового додавання і віднімання довільних форм кодів золотої 1-пропорції, що не потребує переведення у доповняльний код. Проте даний пристрій повинен явно реалізувати як додавання, так і віднімання, а також окремо обробляти знаки операндів і формувати знак результату. Це також потребує додаткових витрат обладнання. Таким чином, постає задача порівняння витрат обладнання різних варіантів

реалізації пристроїв, яка потребує розгляду таких питань:

- порівняння витрат обладнання пристроїв побітового додавання без врахування знаків при використанні мінімізованих та використанні довільних форм кодів золотої 1-пропорції;

- порівняння витрат обладнання для побітового додавання і віднімання із врахуванням знаків при використанні довільних форм прямих та використанні мінімізованих форм доповняльних кодів.

Порівняння витрат обладнання

Для порівняння витрат обладнання суматора мінімізованих форм і суматора довільних форм кодів без врахування знаків потрібно представити їх схеми на рівні логічних елементів І, І-НЕ, АБО, АБО-НЕ, НЕ та підрахувати загальну кількість елементів.

Розглянемо апаратні витрати пристрою побітового додавання мінімізованих форм кодів золотої 1-пропорції без врахування їх знаків [1]. Даний пристрій являє собою один розряд суматора для додавання мінімізованих форм паралельних кодів золотої пропорції. Проте, з його допомогою можна також виконувати і побітове додавання, якщо відповідно з'єднати виходи із входами. Пристрій містить регістр на D-тригерах, двійковий однорозрядний суматор, який можна реалізувати на дев'яти логічних елементах [4], шифратор, три логічних елемента І та логічний елемент АБО. D-тригер можна реалізувати за схемою трьох тригерів на шести логічних елементах [5]. Описаний у [1] шифратор можна реалізувати на дванадцяти логічних елементах. Тому кількість логічних елементів ОСД_М представленого у [1] суматора мінімізованих форм додатних кодів дорівнює

$$\text{ОСД}_M = 4 + 9 + 6 \cdot 7 + 12 = 67 \text{ л. е.}$$

Відповідно до [3] кількість логічних елементів ОСД_Б запропонованого авторами суматора будь-яких форм додатних кодів дорівнює

$$\text{ОСД}_B = 3 + 1 + 20 + 5 \cdot 6 = 54 \text{ л. е.}$$

Коефіцієнт КЗО_{СД} зменшення обладнання для суматора додатних кодів дорівнює

$$\text{КЗО}_{\text{СД}} = \text{ОСД}_M / \text{ОСД}_B = 1,24.$$

Тобто, при додаванні будь-яких форм кодів запропонований побітовий суматор дозволяє зменшити витрати обладнання більше ніж у 1,24 рази.

Крім того, аналіз відомого пристрою дозволяє виявити особливості пов'язані з використанням мінімізованих форм кодів. По-перше, при додаванні таких форм код результат може бути не у мінімізованій формі. Тому у пристрої на кожному такті виконується приведення його до мінімізованої форми. Для цього використовується 7-розрядний проміжний код. Друга особливість відомого суматора полягає у тому, що над розрядами $P_k P_{k+1}$ попереднього коду не виконуються ніякі дії. Третьою особливістю є те, що над розрядами $S_{k-5} S_{k-4}$ проміжного коду виконується лише згортка. Перша особливість призводить до зростання апаратних витрат, а дві останні особливості дозволяють зменшити ці витрати. Тобто, вказані особливості додавання є суттєвими для обробки мінімізованих форм кодів. Однак дані особливості призводять до неможливості додавання будь-яких форм кодів. Це показано на рис. 1 у прикладі додавання двох однакових кодів 10111100 та 10111100:

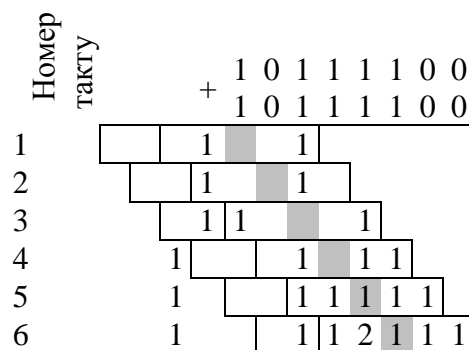


Рис. 1. Приклад переповнення при додаванні довільних форм доповняльних кодів

Як видно з наведеного прикладу, при

додаванні вказаних кодів у даному пристрої на шостому такті виникає переповнення. Отже, даний суматор не дозволяє порозрядно додавати будь-які форми кодів золотой 1-пропорції навіть при семи розрядах проміжного результату. Для забезпечення такої можливості потрібно додаткове збільшення апаратних витрат.

Порівняємо витрати обладнання при реалізації побітового додавання і віднімання із врахуванням знаків при використанні довільних форм прямих та використанні мінімізованих форм доповняльних кодів. З метою зменшення кількості пристроїв побітової обробки кодів золотой 1-пропорції у [4] пропонується віднімання замінити додаванням доповняльних кодів. Це можна зробити за виразом, що є загальним для будь-якої вагомозначної системи числення з природним порядком ваг:

$$A_0^{n-1} - B_0^{n-1} = A_0^{n-1} + (w^n - B_0^{n-1}) = \\ = A_0^{n-1} + d(B_0^{n-1})$$

де A_0^{n-1} , B_0^{n-1} – n -розрядні коди зменшуваного і від'ємника;

w^n – n -та степінь основи системи числення;

$d(B_0^{n-1})$ – доповняльний код від'ємника.

При такому підході замість віднімання додається абсолютне значення доповняльного коду від'ємника, тобто:

$$A_0^{n-1} - B_0^{n-1} = A_0^{n-1} + |d(B_0^{n-1})|.$$

Перетворення від'ємника у доповняльний код виконується відніманням його прямого коду від знакового розряду, що у системі числення золотой 1-пропорції реалізується за допомогою послідовної розгортки одиниці цього розряду та віднімання від отриманого результату коду числа. Наприклад, при перетворенні n -розрядного коду з нульовим значенням у доповняльний буде отримано n -розрядний код, що дорівнює одиниці знакового розряду

$$d(0) = w^n.$$

При цьому виникає одиниця переповнення у знаковий розряд, яка повинна відкидатися, і тому $d(0)=0$. Через надлишковість системи числення золотой 1-пропорції у ній таке перетворення при побітовій обробці, починаючи зі старших розрядів, не викликає переповнення, що у подальшому може призвести до помилки. Це виявляється на прикладі послідовності операцій $1-((0-0)+1)=0$. Дійсно:

$$1-((0-0)+1)=1+d((0+d(0))+1)=1+|\alpha^n-((0+|\alpha^n-0|)+1)|=1+|\alpha^n-(\alpha^n+1)|=1+1(\text{помилка!}).$$

Етапи виконання даної послідовності операцій для 8-розрядних кодів золотой 1-пропорції представлено на рис. 2.

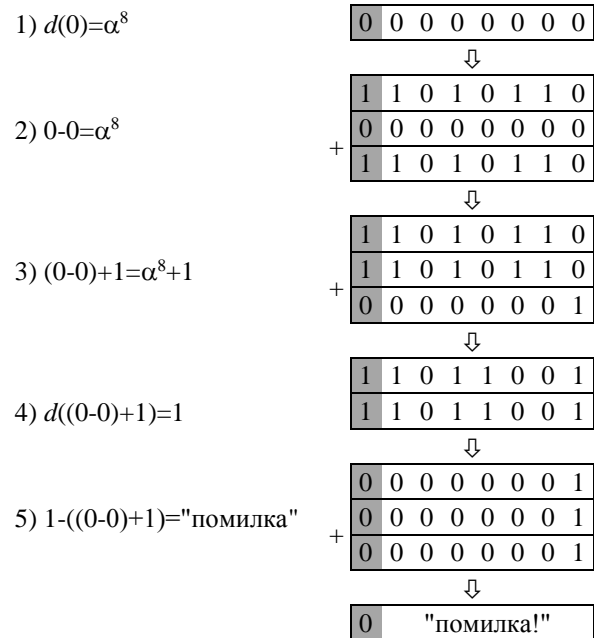


Рис. 2. Виникнення помилки при виконанні послідовності побітових операцій $1-((0-0)+1)=0$ у системі числення золотой 1-пропорції з використанням доповняльних кодів

З рисунка видно, що вже на першому етапі відбувається неправильне перетворення нульового значення у доповняльний код. Для забезпечення правильного перетворення потрібно після першого етапу виконати приведення коду результату до мінімальної форми, що вимагає виконання $\lceil N/2 \rceil$ згорток, де $\lceil \cdot \rceil$ означає округлення до більшого цілого.

Тому для забезпечення можливості виконання усіх арифметичних операцій в єдиному конвеєрному потоці пристрій побітового додавання і віднімання мінімізованих форм доповняльних кодів повинен мати додатково $\lceil N/2 \rceil$ пристроїв побітової згортки.

Слід також зазначити, що при відніманні мінімізованих форм кодів потрібно виконувати перетворення від'ємника у доповняльний код, що потребує додаткових витрат обладнання. Пристрій перетворення у доповняльний код повинен виконувати розгортку знакового розряду і віднімання від отриманого результату чергового розряду перетворюваного коду. У процесі такого перетворення потрібно на кожному такті виконувати розгортку зі старшого, або із середнього розрядів. Тому такий пристрій повинен обробляти не менше трьох розрядів. Будемо вважати, що для розгортки потрібно приблизно такі ж витрати обладнання, що і для згортки. Витрати обладнання для побітової згортки в один розряд відповідно до [1] складають 4 логічних елементи і три D-тригери. Нарешті, для отримання результату із врахуванням обох можливих розгорток потрібно ще додатково не менше одного логічного елемента. Тобто у загальному додатково потрібно ще $2 \cdot (4 + 3 \cdot 6) + 1 = 43$ л. е.

З іншого боку, при додаванні кодів з однаковими знаками необхідно заборонити розгортку та віднімання, що потребує додатково не менше одного логічного елемента. Крім того, потрібно не менше одного логічного елемента для управління знаковим розрядом. Для вирівнювання потоку кодів другого операнда потрібно також затримувати їх на три такти, що потребує додатково трьох D-тригерів.

Як було вказано раніше, для забезпечення побітового виконання усіх арифметичних операцій в єдиному конвеєрному потоці суматор мінімізованих форм доповняльних кодів золотої 1-пропорції повинен мати на

виході додатково $\lceil N/2 \rceil$ пристроїв побітової згортки, де N – розрядність, та один пристрій побітового перетворення у доповняльний код.

Окремого розгляду потребує синхронізація відомого пристрою. Крім тактових імпульсів пристрій для синхронізації потребує наявності сигналу початку числа, який використовується для обробки знакового розряду. Оскільки необхідність обробки знакового розряду може виникнути у будь-якому з пристроїв побітової згортки, то сигнал початку числа потрібно подавати на кожний з пристроїв згортки із затримкою на три такти, що реалізується за допомогою трьох D-тригерів. При виникненні перенесення у знаковий розряд виконується його інвертування, що потребує трьох логічних елементів. Отже, для синхронізації пристрою потрібно на кожний пристрій побітової згортки додатково три D-тригери і три логічних елементи.

Таким чином, при додаванні N -розрядних кодів кількість логічних елементів відомого пристрою побітового додавання і віднімання мінімізованих форм доповняльних кодів з урахуванням знаків не менша ніж

$$\begin{aligned} \text{ОПДВ}_{\text{мд}} &= 43 + 20 + 67 + 43 \cdot \lceil N/2 \rceil = \\ &= 130 + 43 \cdot \lceil N/2 \rceil \text{ л. е.} \end{aligned}$$

Як вказано у [3], запропонований пристрій побітового додавання і віднімання з урахуванням знаків має витрати

$$\text{ОПДВ}_{\text{зн}} = 196 \text{ л. е.}$$

Коефіцієнт зменшення витрат обладнання для пристрою побітового додавання і віднімання з урахуванням знаків $\text{КЗВ}_{\text{пдв}}$ залежить від розрядності і визначається за виразом:

$$\begin{aligned} \text{КЗВ}_{\text{пдв}} &= \text{ОПДВ}_{\text{мд}} / \text{ОПДВ}_{\text{зн}} = \\ &= (130 + 43 \cdot \lceil N/2 \rceil) / 196. \end{aligned}$$

На рис. 3 представлено графік залежності $\text{КЗВ}_{\text{пдв}}$ від розрядності операндів у виді лінійно зростаючої ступінчастої функції. З графіка видно, що коефіцієнт зменшення витрат обладнання пристрою побітового додавання і

віднімання кодів золоті 1-пропорції прямо пропорційний розрядності операндів.

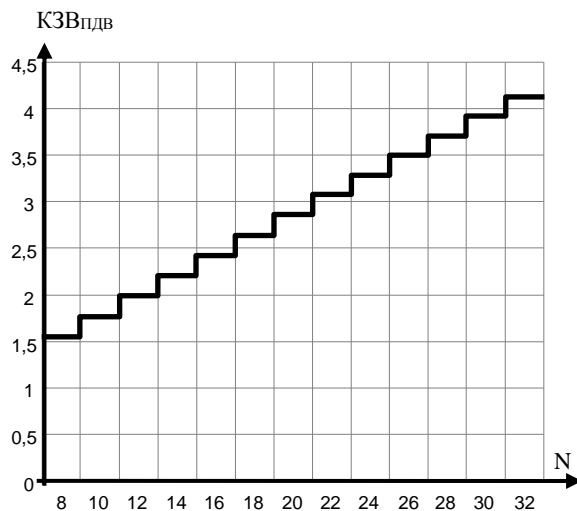


Рис. 3. Графік залежності від розрядності коефіцієнту зменшення апаратних витрат пристрою побітового додавання і віднімання із врахуванням знаків

При розрядності 8 запропонований пристрій з використанням довільних форм прямих кодів потребує в 1,54 разів менше обладнання з використанням мінімізованих форм доповняльних кодів. При розрядності 32 витрати обладнання зменшуються у 4,17 рази.

Висновки

Використання довільних форм прямих кодів золоті 1-пропорції призводить до зменшення апаратних витрат у порівнянні з використанням мінімізованих форм доповняльних кодів при побудові пристроїв повнофункціональної побітової конвеєрної обробки.

Коефіцієнт зменшення витрат обладнання для пристрою побітового

додавання без врахування знаків становить 1,24, а для пристрою побітового додавання і віднімання із врахуванням знаків він прямо пропорційний розрядності операндів і має значення від 1,54 при розрядності 8 до 4,17 при розрядності 32.

Список літератури

1. А. с. 1137460 СССР, МКИ G 06 F 7/49 Конвейерный сумматор / Г. М. Луцкий, Т. А. Блинова, А. В. Корочкин – № 3606399/24–24. Заявлено 30.03.83 Опубл. 30.01.85. Бюл. №4 // Открытия. Изобретения. – 1985. – 1985. – № 4.
2. Блинова Т. А. Аппаратурный контроль конвейерных преобразователей информации. Автореферат диссертации на соискание ученой степени кандидата технических наук – К., 1988. 16 с.
3. Схемотехнічні основи побітового додавання кодів золоті пропорції / Азаров О. Д., Черняк О. І. // Інформаційні технології та комп'ютерна інженерія. – Вінниця : ВНТУ. – 2007. – №1. – С. 9-17.
4. Азаров А. Д., Черняк А. І. Полнофункциональная побитовая обработка результатов аналого-цифрового преобразования // Тези доповідей Третьої Міжнародної науково-практичної конференції "Методи та засоби кодування, захисту й ущільнення інформації", Вінниця, 20-22 квітня 2011р. С.208-209.
5. Азаров О. Д. Структурна організація побітового додавання і віднімання кодів золоті 1-пропорції із врахуванням знаків / О. Д. Азаров, О. І. Черняк // Інформаційні технології та комп'ютерна інженерія. Вінницький національний технічний університет – 2011. – №3(22). С. 13-16